

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS



GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**



IPW  
**PATENT**

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

Serial No: 10/712,318                      Docket No: 2001066  
Filing Date: 11/12/2003                  Applicant: Shih-Hsien Tseng  
Examiner:                                      Art Unit: 2812  
Title: INTEGRATED CIRCUIT DEVICE AND THE  
MANUFACTURING METHOD THEREOF  
  
To: COMMISSIONER FOR PATENTS  
P.O. Box 1450  
Alexandria, VA 22313-1450

**TRANSMITTAL OF PRIORITY DOCUMENT**

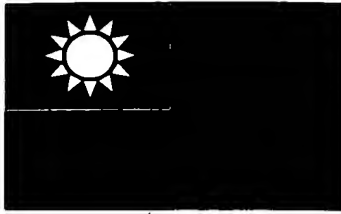
1. Transmitted herewith is the priority document for this application.
2. Certificate of Mailing (37 CFR 1.8a): I hereby certify that this paper (along with any referred to as being attached or enclosed) is being deposited with the United States Postal Service on the date shown below with sufficient postage as First Class Mail in an envelope addressed to: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.

Respectfully submitted,

Date: May 10, 2004

Registration No: 32,737  
Telephone: (408) 778-3440

  
\_\_\_\_\_  
Keith Kline  
PRO-TECHTOR INTERNATIONAL  
20775 Norada Court  
Saratoga, CA 95070-3018



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE  
MINISTRY OF ECONOMIC AFFAIRS  
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，  
其申請資料如下：

This is to certify that annexed is a true copy from the records of this  
office of the application as originally filed which is identified hereunder:

申請日：西元 2003 年 11 月 10 日  
Application Date

申請案號：092131370  
Application No.

申請人：曾世憲  
Applicant(s)

局長  
Director General

蔡練生

發文日期：西元 2004 年 4 月 9 日  
Issue Date

發文字號：09320324310  
Serial No.

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

## 發明專利說明書

一、 發明名稱	中 文	IC裝置及其製造方法
	英 文	
二、 發明人 (共1人)	姓 名 (中 文)	1. 曾世憲
	姓 名 (英 文)	1. Tseng Shih-hsien
	國 籍 (中 英 文)	1. 中華民國 TW
	住居所 (中 文)	1. 新竹市金竹里21鄰武陵路245巷28號7樓
	住居所 (英 文)	1.
三、 申請人 (共1人)	名稱或 姓 名 (中 文)	1. 曾世憲
	名稱或 姓 名 (英 文)	1. Tseng Shih-hsien
	國 籍 (中 英 文)	1. 中華民國 TW
	住居所 (營業所) (中 文)	1. 新竹市金竹里21鄰武陵路245巷28號7樓 (本地址與前向貴局申請者不同)
	住居所 (營業所) (英 文)	1.
	代表人 (中 文)	1.
	代表人 (英 文)	1.



四、中文發明摘要 (發明名稱：IC裝置及其製造方法)

本發明係一種積體電路結構及其製造方法，其特徵在於整合基板上之電磁屏蔽及連線結構，及提供製造積體電路之方法，該方法係為連接電磁屏蔽圖案、栓塞及內嵌於基板之接合樺而形成一電磁屏蔽所，以便更能保護積體電路元件免受到積體電路元件本體或外界環境所產生之電磁干擾。

五、英文發明摘要 (發明名稱：)

This invention relates to an integrated circuit structure and a manufacturing method thereof, and more particularly to the integration of an electromagnetic shielding and interconnect structures of a substrate. It is an objective to provide a manufacturing method of an integrated circuit device, which connects the electromagnetic shielding pattern, the plugs, and the stitching



四、中文發明摘要 (發明名稱：IC裝置及其製造方法)

五、英文發明摘要 (發明名稱：)

studs embedded in the substrate for forming an electromagnetic shielding housing, and for better protecting the integrated circuit device from the electromagnetic interference induced from itself or outer environments.



六、指定代表圖

(一)、本案代表圖為：第\_\_6B\_\_\_\_圖

(二)、本案代表圖之元件代表符號簡單說明：

基底：501

元件層：502

連接層：503，504

金屬層：522

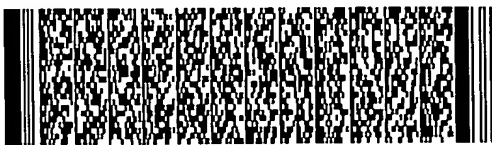
保護層：526

金屬鐳墊：508

栓塞：524

電磁屏蔽層：520

介電層：532



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

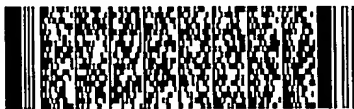
寄存機構：

寄存日期：

寄存號碼：

無

☐熟習該項技術者易於獲得，不須寄存。





## 五、發明說明 (1)

### 【發明所屬之技術領域】

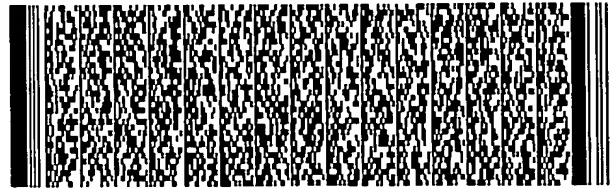
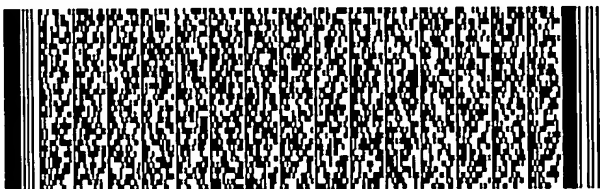
本發明係有關於一種積體電路結構及其製造方法，其特徵在於整合基底上之電磁屏蔽及連線結構。

### 【先前技術】

隨著微電子製造技術及積體電路組裝科技的發展，印刷電路基底通常係包括有複數個金屬層，及用以連結兩層或更多不同金屬層間之內栓塞連線所構成。該多層電路基底，係為提供一平台，以黏著及連接該微電子元件和被動式電子元件，例如電阻、電容器、及電感器。這些電子元件可整合完成一些電子系統所預先設計之功能，該電子系統如個人電腦、手機、遊戲機、個人數位助理器及電視機等。

為了滿足客戶之要求，這些電子系統都被要求在更小、更壓縮的體積內，能完成更快、更好之效能。然而，在更高速切換這些電子系統開關時，將會對該電子系統造成更大的電磁輻射及電磁干擾。當這些先進的電子系統之操作頻率增加時，其中切換開關之脈衝量及操作電流便隨之上升，因而造成一些不想要的內連接線壓降效應，並引起巨量之電磁輻射。

然而，在使用單一矽晶片，用以製造完成積體電路系統已更趨完善之時，當要製造一些複雜和整合包含不同積體電路如類比、數位、混合信號、記憶體和高速低功率電路之系統晶片亦實屬不易。更甚者，當該系統晶片之功能



## 五、發明說明 (2)

及內連接層數的需求也隨之增加時，且該晶片體積亦須同時被要求更縮小時，將會使該整合系統晶片之配電、壓降、信號雜訊及晶片輸出、輸入鉀墊數目，成為該晶片系統進步縮小之限制因子。

達成本發明目標的方法係將具有多功能之複數個晶片整合於同一封裝內，以形成一完整電路系統滿足製造短小、輕薄之產品之要求。因而，造成一些積體電路晶片必須黏著或堆疊於其他較低層的晶片上面，在該製造過程中複數個晶片同時需要被繞線及堆疊，創使得上層積體電路晶片在接觸並壓迫下層積體電路晶片時，容易對下層積體晶片之金屬導線之訊號傳輸，造成嚴重的影響及損壞。

如第1圖，係為習知技術之積體電路晶片之剖面圖。在第1圖中，積體電路晶片100，係為包括一矽基底101，一元件層102係由複數個包括含有複數個主動元件，如金屬氧化半導體(MOS)電晶體之複晶矽或金屬矽化物層於矽基底101之上所形成而。並可將元件層102之主動元件相互連接，一局部連接層103隨之可形成於該元件層102上。另外，一總體內連接層104、金屬層108及保護層109，亦可相繼形成於局部內連接層103上。

總體內連接層104，係為可包括複數個用以連接總體訊號及電源分配之金屬層。而保護層109上係為可設置複數個貫穿孔，用以部分暴露該金屬層108，藉以形成電極鉀墊106於該金屬層108。另外，錫鉛凸塊或金凸塊107（省略埋入金屬），尚可被提供於電極鉀墊106上，以作



### 五、發明說明 (3)

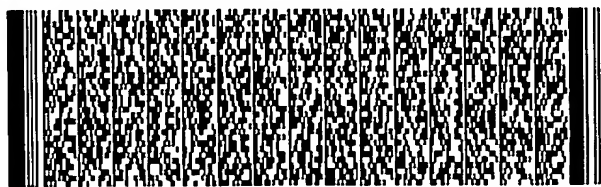
為外部電性連接之用。

該矽基底101係包括源極、汲極及元件層101主動元件之通道。局部連接層103及總體連接層104的每一層，係為可包括一絕緣體、導電栓塞、連接孔、預先設計之金屬、金屬矽化物或複晶矽之圖案。任一於該連接層中之圖案皆可藉由該栓塞、連接孔且/或連線，電性連接至同層或其他層之圖案。

如第2圖，係為一堆疊之半導體晶片之剖面示意圖。根據第2圖中，該堆疊之半導體晶片200，係包括一基底202、一下層矽晶片212、一上層矽晶片214、複數個繞線216及黏著層218。下層矽晶片212，係藉由黏著層218附著在基底202上，而上層矽晶片214則藉由另一黏著層218堆疊於下層矽晶片212上。根據此結構，該繞線216的打線步驟是非常複雜，對於訊號傳輸效果，容易引起不利影響或造成上層矽晶片214和下層矽晶片212間之短路。

如第3圖，係為一BGA型晶片之剖面示意圖。BGA型晶片300包括有一接合平面307，及垂直貫穿載具印刷電路板(PCB)301之訊號引線303、供電引線304及接地引線305。該接合平面307，係為可覆蓋載具PCB 301之上表面，但並不覆蓋每一電性連接端306之突出端。該晶片340，係為可藉由黏著層401附著在該接合平面307上，並使每一接合繞線402可連接相對之連接端306和晶片340之對應鐸墊。

內嵌接地面405，係為可連接至該接地引線305。而該解耦合電容347，亦可內嵌入載具PCB 301中，並且電性連



#### 五、發明說明 (4)

接至該接地引線305及供電引線304。依據此結構配置，雖可避免來自於黏著一些IC元件載具PCB 301所產生之電磁輻射。但是對該IC本體及IC封裝間之電磁輻射依舊會存在，並且在晶片使用時會發生信號雜訊。

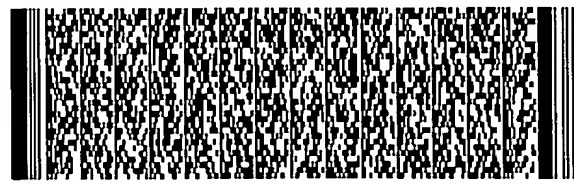
#### 【發明內容】

本發明之目標，係為提供一種積體電路元件，能有效抑止積體電路封裝和印刷積體電路板迴路電流所引起的電磁干擾(EMI)，並可防止由於高速切換該積體電路元件內部供電電路所引發之雜訊電流。

本發明另外一個目標，係為提供一種積體電路元件，該元件可輕易組裝且容易以一完整或部分晶圓方式大量生產，藉以形成一微型且高度整合效之實用性積體電路元件。

本發明具有另外一目標，係為提供一製造積體電路元件之方法。該方法係為可藉由使用接合棒，以取代習用之金屬繞線接合方法，並可同時藉由研磨或蝕刻方式使該基底變薄，該積體電路元件因而更能應用於現代輕、薄、短小之電子裝置產品上。

本發明另具有一目標，係為提供一製造積體電路元件之方法，該方法係為可連接該電磁屏蔽圖案、栓塞及內嵌於基底之接合棒，以形成一電磁屏蔽所，更能保護該積體電路元件免於受到該積體電路本體或外界環境所產生之電磁干擾。



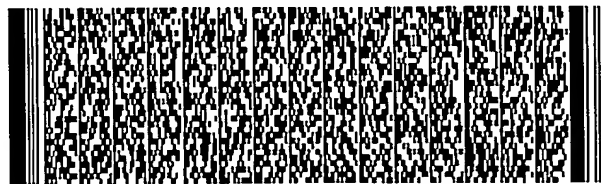
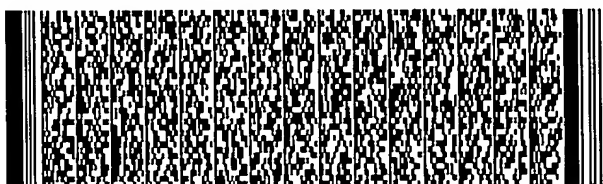
## 五、發明說明 (5)

根據上述，本發明欲達成之目標係包括含有一基底、一連接層、一屏蔽層、及一複數個接合樺之積體電路元件。於該基底上係為可形成複數個主動元件，和貫穿該基底之接合樺。另位於該基底上之內連接層，係具有複數個金屬導線，藉以提供主動元件及複數個栓塞間之電性相互連接。而位於該連接層上之屏蔽層，係為可具有圖案之電磁屏蔽。該電磁屏蔽圖案、栓塞、及接合樺係為可電性互相連接，用以形成該積體電路元件之電磁遮蔽所。

在本發明之較佳具體實施例中，複數個電極鉑墊係為可形成於屏蔽層內，以作為外部電性連接端。其中該屏蔽層內尚可包含至少一被動元件，且可電性連接至該主動元件層、接合樺且/或電極鉑墊。

另外，在本發明另一較佳實施例中，係以含有多功能或單一功能之複數個積體電路元件互相附著或堆疊於同一基底上，以形成一封裝系統(SIP)模組或一輕巧之高密度記憶體模組。而該整合性之SIP模組，因而具有更好之電磁干擾屏蔽效果。另外，該屏蔽層係為可包含有被動元件如解耦合電容和電感器，藉以抑止由於該模組高速切換操作時，所產生之雜訊信號。

根據本發明之另一觀點，係為提供製造積體電路元件之一方法。其中，係為可形成一複數個深壕溝於基底上表面，並隨後沉積一絕緣膜於該深壕溝內，而後再填充導電材料於該深壕溝內，藉以形成接合栓塞，可用以預備形成本發明之接合樺。



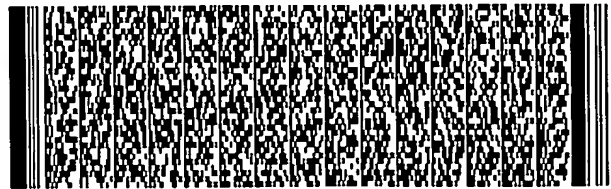
## 五、發明說明 (6)

該接合栓塞係為可利用電漿蝕刻、溼蝕刻、雷射穿孔或上述組合之方法於該基底上表面挖掘深壕溝，隨後並沉積絕緣膜如二氧化矽、氮化矽、其他絕緣膜或上述物質之組合或可藉由其他類別技術形成一絕緣膜於該內嵌壕溝之內側壁。隨後，該含有絕緣膜之內嵌壕溝，再以導電性材料如鈦、氮化鈦、鋁、銅、汞、鎢、汞合金、銀膠、錫鉛、導電高分子、其他導電性物質或上述物質之組合物填充於該壕溝內。

另外，藉由習知之半導體製程步驟，尚可於基底上形成主動元件，並隨後形成連接層於該主動元件上。其中該主動元件，可藉由複數個金屬導線、金屬矽化物且/或複晶矽，以提供電性連接。另外，一包括夾於電磁屏蔽圖案中介電薄膜層之屏蔽層，亦可形成於該連接層上，藉以製造被動元件如電容器或電感器。隨後，一保護層隨之可形成於該屏蔽層上。

習知之背面研磨或一些研磨技術如化學機械研磨、高選擇性電漿蝕刻或溼蝕刻等步驟，可自該基底下表面直接磨薄該基底，藉以將該接合栓塞暴露成為接合樺，作為該積體電路元件之電極連接端。另外，可於積體電路元件之表面形成具有電極鉚墊之接孔或凸出之接合樺，用以黏著或堆疊其他積體電路元件在一起，藉以形成一輕巧記憶體模組或封裝系統模組。

數種封裝連接技術及材料，例如用於接合樺凸塊接合的等方向性導電性黏膠層、其他習知之表面黏著技術、底



## 五、發明說明 (7)

層凸塊金屬化 (UMB)、異方向性導電膜 (ACF)、金或錫鉛凸塊、打線、球柵陣列、覆晶且/或其他金屬化法皆可用於接合樺或積體電路元件之電極鉑墊間之電性連接，用以形成一輕巧記憶體模組或封裝系統模組。

在其他較佳實施例中，本發明係為可提供數種不同形成接合樺之方法。首先，可於該基底下表面形成複數個相對於並可連接至前端接合栓塞之背面壕溝。隨之，可形成絕緣層於該背面壕溝之內壁，再以導電性材料填充該該背面壕溝，如此便可形成背面接合栓塞。而該背面接合栓塞係可電性連接至正面接合栓塞，以形成連通之接合樺。

相反地，亦可單獨自該基底背面直接形成接合樺，以作為外部電極連接端之用，而不需要經由與前述之正面接合栓塞相接連，以作為外部電極連接端，如此並不會增加封裝的任何重量或體積。無論該基底事先磨薄與否，該背面接合樺係由基底下表面貫穿至上表面之單背面壕溝所構成，並可於壕溝內形成一絕緣膜及填充一導電材料，用以作為外部電極連接端。而該接合樺係可連結至基底上任一電性連接層，如積體電路元件中所製作形成之複晶矽、金屬矽化合物、接孔栓塞、或金屬層。

本發明係為提供一具有高速操作頻率的輕巧電子積體電路之製造方法。該輕巧電子積體電路，係為可形成於微電子基底上如矽基底、矽絕緣體 (SOI) 基底、或砷化鎵基底上。本發明係為可藉由一些積體電路製造過程中的精確對準方式，以最小難度來完成電磁屏蔽與內連線相互接連



## 五、發明說明 (8)

之所有製程，並且能整合一些被動元件於該積體電路元件內，用以整合多種不同功能之積體電路晶片以形成封裝系統模組或輕巧記憶體模組。

上述之所有一般性敘述及以下詳述皆為例證，可提供本發明有關解釋。

### 【實施方式】

以下將詳細說明本發明之較佳實施例及其圖號，各實施例將配合圖式說明。說明書中之各圖號將與圖式中之圖號指示相同或部分類似。

根據本發明，一積體電路元件係為可包括一基底、一內連接層、一屏蔽層及複數個製作於該基底內之接合樁。該接合樁，係為可貫穿該基底並可向基底之兩表面延伸。在本發明中，該接合樁係為可選擇自基底正面或背面之單面壕溝，或可自基底兩表面所形成相對應之壕溝所形成，隨後可形成一絕緣膜於該壕溝內，並且以導電材料填充滿該壕溝。

在下述討論之實施例中，將揭示兩種利用形式。第一例，係為闡示一具有垂直電性連接線，可使用異方性導電膜(ACF)以連接該接合樁及電極鉗墊，以形成堆疊之記憶體模組。更甚者，於該積體電路元件之接合樁或電極鉗墊上，底部凸塊金屬化(UBM)、錫鉛凸塊且/或其他金屬化法





## 五、發明說明 (9)

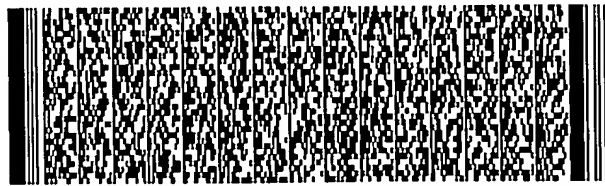
亦可一併使用。第二例，係為闡示另一相似於第一例之封裝系統模組。

上述二種模組配置結構皆包括內嵌電磁屏蔽，可用以防止該先進輕巧之電子裝置於高頻切換時，所產生之電磁輻射。

第4A圖至第4D圖，係為闡示一接合栓塞之製造方法。根據第4A圖，於基底400之上表面402，以形成複數個壕溝404。在本發明之一實施例中，該壕溝404係為可形成於矽半導體基底或其他含藍寶石層之矽半導體基底上，亦可使用於半導體覆蓋絕緣層晶片技術之基底或其他塑膠或玻璃基底上。

如第4B圖所闡示，該隔離壕溝404係包括一氧化膜且/或附加氮化矽膜之絕緣膜414，形成於該壕溝404內側壁，隨後以導電材料填充該壕溝404，藉以形成接合栓塞424，如第4C圖所示。在本發明之一較佳實施例中，該導電材料係為鈦或氮化鈦之埋置金屬及鎢金屬當作電性連接之接合栓塞。在其他較佳實施例中，該導電材料尚可為鈦、氮化鈦、鋁、銅、汞、鎢、汞合金、銀膠、錫鉛、導電高分子、其他導電物質或上述物質之組合。

將導電物質填充入壕溝404時，一多餘之金屬層412可形成於基底400之上表面402上。一些化學機械研磨(CMP)、溼蝕刻、電漿倒蝕刻或其組合之方式，皆可用以去除該多餘之金屬層412並完成個別之接合栓塞424，如第4D圖所示。這些內嵌於基底400上之接合栓塞424，在後續



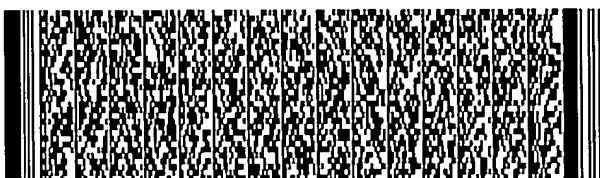
## 五、發明說明 (10)

製程步驟完成後，將可作為外部電極鐳墊之用。一般說來，就積體電路元件整個製程而言，接合栓塞的形成是非常有彈性的。例如，形成該接合栓塞424之步驟可先於或後於該層間絕緣層(ILD)、金屬層、連接層、栓塞層、複晶矽層、或積體電路元件之主動元件之形成步驟。

如第5圖，係為闡示本發明實施例之部分示意圖。該積體電路元件500，係為可在一矽基底501上，製作形成內嵌於該基底之接合栓塞524，且包含有位於該基底501上表面之元件層502。該源極、汲極及主動元件之通道皆設置位於基底501內，並隨後可於該基底上形成閘極氧化層及主動元件閘極。另外，包括一複晶矽、金屬矽化物層和位於介電層內之局部連接層503，可隨之形成於該元件層502上，藉以連接該元件層502之主動元件。

另外，一包括有金屬層、栓塞和金屬層間之介電層之總體內連接層504，係為可形成位於該局部內連接層上。該形成於總體內連接層504上之另一金屬層，係為可選擇作為該積體電路元件的外部電性電極鐳墊508，並可選擇形成一保護層509披覆於其上用以保護該金屬層。其中，該電極鐳墊508通常係可包括埋置金屬之多層金屬層所形成，並可結合其他金屬化層如底層凸塊金屬化層(UBM)或錫鉛凸塊等，而該金屬化層一般皆位於該電極鐳墊508之上。

第6A圖及第6B圖，係為闡示本發明之一較佳實施例之示意圖。在該實施例中，如第6A圖及第B圖，所述具有電



#### 五、發明說明 (11)

磁屏蔽圖案522之屏蔽層520，係為可配置於該積體電路元件之上。另外，該電磁屏蔽圖案522，係為可藉由總體內連接層504和局部內連接層503之導電栓塞，電性連接至該接合栓塞524。

在第6B圖中，該電磁屏蔽圖案522，係為可具有至少一層之導電層，及包括一夾於其中之介電層532。如第6B圖，該導電層更可選擇形成可作為被動元件之電容器和電感器。這些被動元件可利用來抑止因高速切換操作該積體電路元件，所引起之電磁輻射，例如在高速切換電源訊號時，容易產生的電磁干擾。

上述該電磁屏蔽層，係為可藉由總體和局部內連接層504和503上之不同導電栓塞，分別電性連接至不同的接合栓塞524。該屏蔽層520尚可包括披覆於電磁屏蔽圖案522上之保護材料526，用以保護該晶圓免於受刮損或外部損壞。

接下來，該基底501係為可選擇使用習知之背面研磨且/或其他研磨如化學機械研磨、高選擇性電漿蝕刻或溼蝕刻，以使該基底之厚度變薄。本發明之一較佳實施例，如下所述係為可藉由研磨該基底501，以使該接合栓塞524暴露出來，成為該積體電路元件外部電極連接端之用的接合樺。

如第7圖，係為闡示本發明另一較佳實施例，解釋另一接合樺之形成方法。該實施例係為可提供另一較佳實施方法，用以形成該接合樺，且特別適用於要將該基底501



## 五、發明說明 (12)

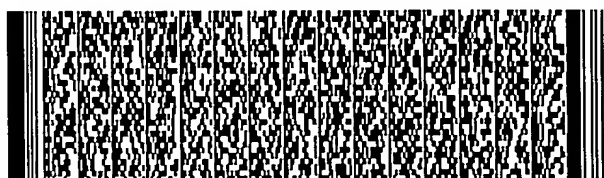
磨薄小於150微米時，尚可把該整體晶圓厚度變化之情形考慮在內。

如第7圖中，該背面壕溝761係為可形成於該基底501之下表面701上，並可選擇與先行形成於該基底501上表面之內嵌接合栓塞524相對連接，以便該背面壕溝761可完全貫穿該基底501，且能與該接合栓塞524相互連接。值得注意的是，在本實施例中，該基底501之磨薄程序可於背面壕溝761形成前或背面接合栓塞766形成之後實施。

於該基底501上表面之正面壕溝，係為可形成該正面接合栓塞524，而該背面壕溝761係為可藉由化學蝕刻、電漿蝕刻或雷射穿孔，形成於該下表面701之上。接著可選擇形成一絕緣膜於該背面壕溝761所暴露的內側壁上，如氧化矽、氮化矽或高分子聚酯樹脂等材料。而該含有絕緣膜之背面壕溝761，再以導電材料如鈦、氮化鈦、錫鉛、銅、汞、汞合金、鋁、銀膠、導電高分子、其他導電材料或上述材料之組合以填充之，藉以形成該接合栓塞766。

該基底501之下表面701係為可藉由蝕刻方式定義圖案，以形成該接合樺墊763及接合樺773。在另一實施例中，簡單之接合樺可僅由該接合栓塞766及絕緣膜所形成，而不另需額外之接合樺墊。

如第8圖，係為闡示本發明之另一較佳實施例，以解釋形成該接合樺之另一方法。該正面栓塞係可藉由直接磨薄技術且/或高選擇比之蝕刻流程，自該基底501之下表面701進行研薄，該步驟係為可利用部份或全晶圓之方式進



## 五、發明說明 (13)

行製造流程，用以暴露該正面栓塞以作為接合樺824。在本發明之另一實施例中，該接合樺可完全自下表面貫穿基底至上表面的背面栓塞形成而成。

如上所述，本發明之接合樺可由不同方法形成而成。第9A圖至第9C圖，即特別闡示本發明之三種接合樺如何以不同方式所形成實施例之示意圖。第9A圖及第9B圖之二實施例分別根據上述之第7圖和第8圖所解釋。

如第9C圖所示，無論基底501磨薄後與否，該背面接合樺983係由自基底501下表面701貫穿至上表面402之單一背面壕溝981所形成，並包括披覆一絕緣膜982於其內側壁。該接合樺983可連接至一電性連接層984，該電性連接層之材料係為積體電路元件製程中之複晶矽、金屬矽化物、接合栓塞或金屬層。

第10圖係為闡示本發明之一較佳實施例，在該較佳實施例中，兩片具有相同積體電路元件之晶圓可於切割成晶粒前堆疊，或相反地，可先切割再行堆疊。如第10圖所示，兩記憶體晶片190藉由使用異方向性導電膜180或其他黏著層或錫鉛凸塊堆疊於載具板170上。堆疊之積體電路元件係為可藉由異方向性導電膜180、其他黏著層或錫鉛凸塊，將接合樺824及電極鐳墊508相互接合，其中該接合樺及電極鐳墊更可加入另一新配線層於其上。

第11圖係為闡示本發明之另一較佳實施例。在本實施例中，堆疊之積體電路元件，如封裝系統元件，包括不同功能之積體元件。如第11圖所示，一微處理晶片210、一



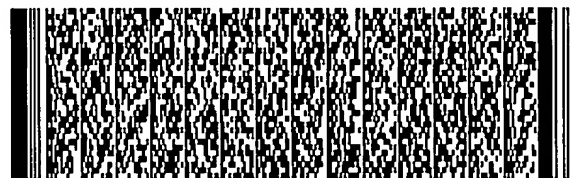
#### 五、發明說明 (14)

類比晶片220，及一記憶體晶片190，係藉由異方性導電膜180、其他黏著層或錫鉛凸塊堆疊於載具板170上。該封裝系統元件，亦可藉由外加之異方向性導電膜180、其他黏著層或錫鉛凸塊，將接合樺824及電極鐳墊508相互接合，其中該接合樺及電極鐳墊更可加入另一新配線層於其上。另外，一保護材料230尚可填充於相鄰晶片之間，如微處理晶片210和類比晶片220之中，輔以固定該附著的積體電路晶片於載具板170上。

如第12圖，係為闡示本發明之另一較佳實施例。在該較佳實施例中，複數個記憶體晶片190被整合並堆疊於載具板170之兩側，藉以形成輕巧高密度之記憶體模組。該輕巧記憶體模組元件係為可以外加之異方向性導電膜180、其他黏著層或錫鉛凸塊，將記憶體晶片190之接合樺824及電極鐳墊508相互接合，其中該接合樺及電極鐳墊更可加入另一新配線層於其上。

如上所述之實施例，該積體電路之結構皆包括含有電磁屏蔽圖案之屏蔽層，以抑止從元件本身或外界環境引發之電磁干擾(EMI)。

任何熟習此技藝者，在不脫離本創作發明之精神或範圍內，可作各種結構之更動與潤飾，凡依本創作發明之精神及以下申請專利範圍所作各種變動及潤飾之實施例均屬本創作發明之範圍。



## 圖式簡單說明

### 【圖示簡單說明】

有關本發明之特色、觀點及其優點將於下述說明、專利申請範圍、及圖示中詳加說明以利了解：

第1圖：係為積體電路晶片相關技術之剖面示意圖；

第2圖：係為堆疊半導體晶片之剖面示意圖；

第3圖：係為BGA型晶片剖面示意圖；

第4A圖至第4D圖：係為闡示該接合栓塞之製造方法；

第5圖：係為闡示本發明之實施例部分示意圖；

第6A圖至第6B圖：係為闡示本發明較佳實施例之示意圖；

第7圖：係為闡示本發明另一較佳實施例；

第8圖：係為闡示本發明另一較佳實施例；

第9A圖、第9B圖及第9C圖：係為特別闡示本發明之三個實施例示意圖以揭示該接合樺之不同之建構方式；

第10圖：係為闡示本發明一較佳實施例；

第11圖：係為闡示本發明另一較佳實施例；及

第12圖：係為闡示本發明另一較佳實施例。

### 【符號說明】

積體電路元件：100，200，300，500

基底：101，400，501

元件層：102，502

連接層：103，104，503，504

金屬層：412，522

保護層：109，509，526，230



圖式簡單說明

金屬鉚墊：108，106，306，508，763

凸塊：107

繞線：216，402

黏著層：218，401

引線：300，304，305

晶粒：212，213，340，190，22，210

平面：307

接地平面：405

電容：347

表面：402，701

壕溝：404，761，981

絕緣膜：414，982

栓塞：424，524，766

電磁屏蔽層：520

介電層：532

接合樺：733，824，983

導電膜：180

載具板：170，301，202





## 六、申請專利範圍

1. 一積體電路元件，其主要構造包括有：
  - 一基底，包括有一複數個主動元件；
  - 一內連接層，係位於該主動元件之上，且該內連接層包括有複數個金屬線路，可藉由複數個栓塞以提供主動元件間之電性連接；
  - 一屏蔽層，係位於該內連接層之上，且該屏蔽層尚可包括有電磁屏蔽圖案；及
  - 一複數個接合樺，係為貫穿該基底；其中，該電磁屏蔽圖案、栓塞及接合樺係為可電性相互連接，藉以形成積體電路元件之電磁屏蔽所。
2. 如申請專利範圍第1項所述之積體電路元件，其中該積體電路元件尚可包括有：
  - 一複數個電極鉑墊，係為可建構於該屏蔽層內，可作為外部電極連接端之用。
3. 如申請專利範圍第1項所述之積體電路元件，其中該屏蔽層尚可包括有至少一個被動元件於屏蔽層上。
4. 如申請專利範圍第1項所述之積體電路元件，其中該積體電路元件尚可包括有一保護層，且該保護層係位於屏蔽層之上、可利用以保護該積體電路元件。
5. 一製造積體電路元件之方法，其主要製造方法包括有：
  - 提供一基底；
  - 形成一複數個主動元件於基底第一表面上；
  - 形成一複數個接合樺，其中該接合樺係為可貫穿該基底，及包括有：



## 六、申請專利範圍

形成複數個壕溝於該基底第二表面；

形成絕緣膜於壕溝側壁；及

填充導電材料於壕溝內，藉以形成該接合樺；

磨薄該基底，係為可自該基底之第二表面開始研薄該基板；

形成一內連接層於該主動元件上，其中該內連接層尚可包括有複數個金屬線路，可藉由複數個栓塞以提供主動元件間之電性連接；及

形成屏蔽層於內連接層上，其中該屏蔽層尚可包括有電磁屏蔽圖案；

其中，該電磁屏蔽圖案、栓塞及接合樺係為可電性相互連接，藉以形成積體電路元件之電磁屏蔽所。

6. 如申請專利範圍第5項所述之製造方法，其中該製造方法尚可包括有：

形成複數個電極鉀墊於屏蔽層內，以作為外部電性連接用。

7. 如申請專利範圍第之5項所述之製造方法，其中該屏蔽層尚可包括形成至少一個被動元件於屏蔽層上。

8. 如申請專利範圍第5項所述之製造方法，其中該製造方法尚可包括形成一保護層於屏蔽層上，藉以保護該積體電路元件。

9. 如申請專利範圍第之5項所述之製造方法，其中該磨薄基底之步驟係為可先於形成該接合樺步驟之前。

10. 如申請專利範圍之5項所述之製造方法，其中該製造



## 六、申請專利範圍

方法尚可包括有：

形成複數個接合樺墊，該接合樺墊係為對應於該基底第二表面上之接合樺。

11. 一積體電路之製造方法，其主要製造方法包括有：

提供一基底；

形成複數個主動元件於基底第一表面上；

形成複數個接合樺，其中該接合樺係為可貫穿該基底，及包括有：

形成複數個第一壕溝於該基底第一表面；

形成複數第二壕溝於該基底第二表面，其中該第二壕溝與第一壕溝互相接合；

形成絕緣膜於壕溝側壁；及

填充導電材料於壕溝，藉以形成該接合樺；

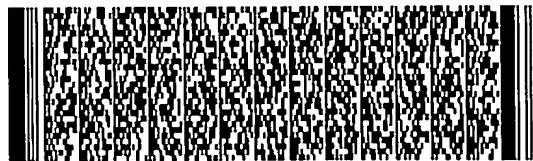
磨薄該基底，係為可自該基底之第二表面開始研薄該基板；

形成一內連接層於該主動元件上，其中該內連接層尚可包括有複數個金屬線路，可藉由複數個栓塞以提供主動元件間之電性連接；及

形成一屏蔽層於內連接層上，其中該屏蔽層尚可包括有電磁屏蔽圖案；

其中，該電磁屏蔽圖案、栓塞及接合樺係為可電性相互連接，藉以形成積體電路元件之電磁屏蔽所。

12. 如申請專利範圍第11項所述之製造方法，其中形成絕緣膜於壕溝側壁，和填充導電材料於第一及第二壕溝



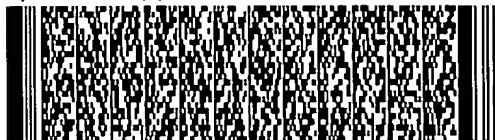
#### 六、申請專利範圍

之步驟皆為分開獨立之步驟。

13. 如申請專利範圍第11項所述之製造方法，其中該製造方法可包括有：  
形成複數個電極鉀墊於屏蔽層內，以作為外部電性連接端之用。
14. 如申請專利範圍第11項所述之製造方法，其中該屏蔽層可包括形成至少一個被動元件於屏蔽層上。
15. 如申請專利範圍第11項所述之製造方法，其中該製造方法尚可包括有形成一保護層於屏蔽層之上，以保護該積體電路元件。
16. 如申請專利範圍第11項所述之製造方法，其中該基底磨薄之步驟，係為先於形成該第二壕溝步驟之前。



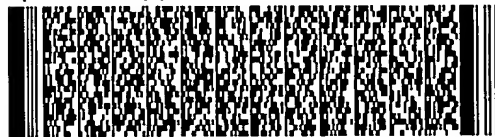
第 1/25 頁



第 2/25 頁



第 3/25 頁



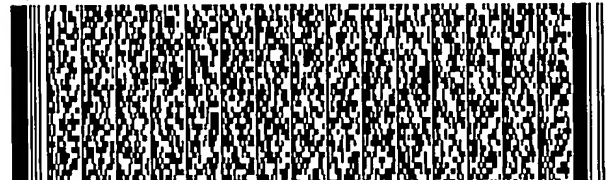
第 4/25 頁



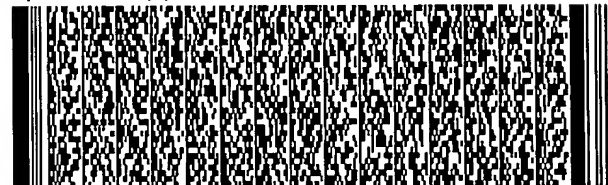
第 5/25 頁



第 6/25 頁



第 6/25 頁



第 7/25 頁



第 7/25 頁



第 8/25 頁



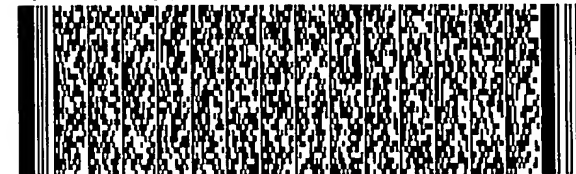
第 8/25 頁



第 9/25 頁



第 9/25 頁



第 10/25 頁

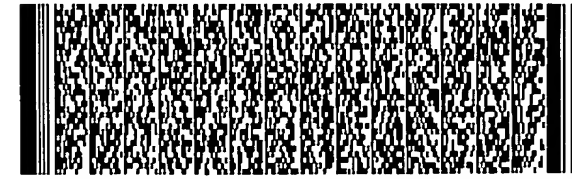
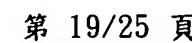
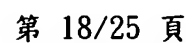
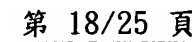
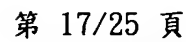
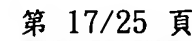
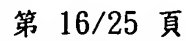
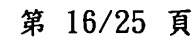
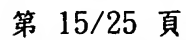
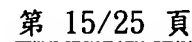
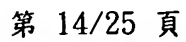
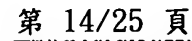
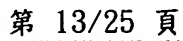
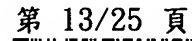
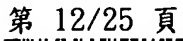
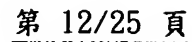


第 10/25 頁

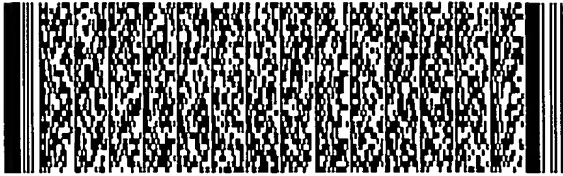


第 11/25 頁

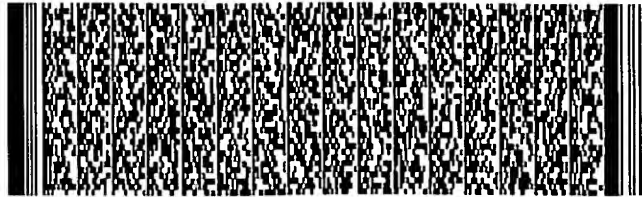




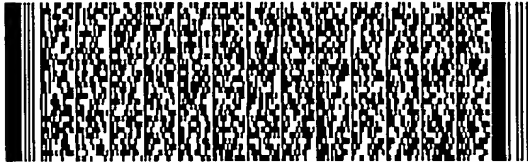
第 19/25 頁



第 20/25 頁



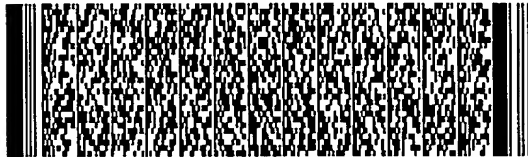
第 21/25 頁



第 22/25 頁



第 22/25 頁



第 23/25 頁



第 23/25 頁



第 24/25 頁

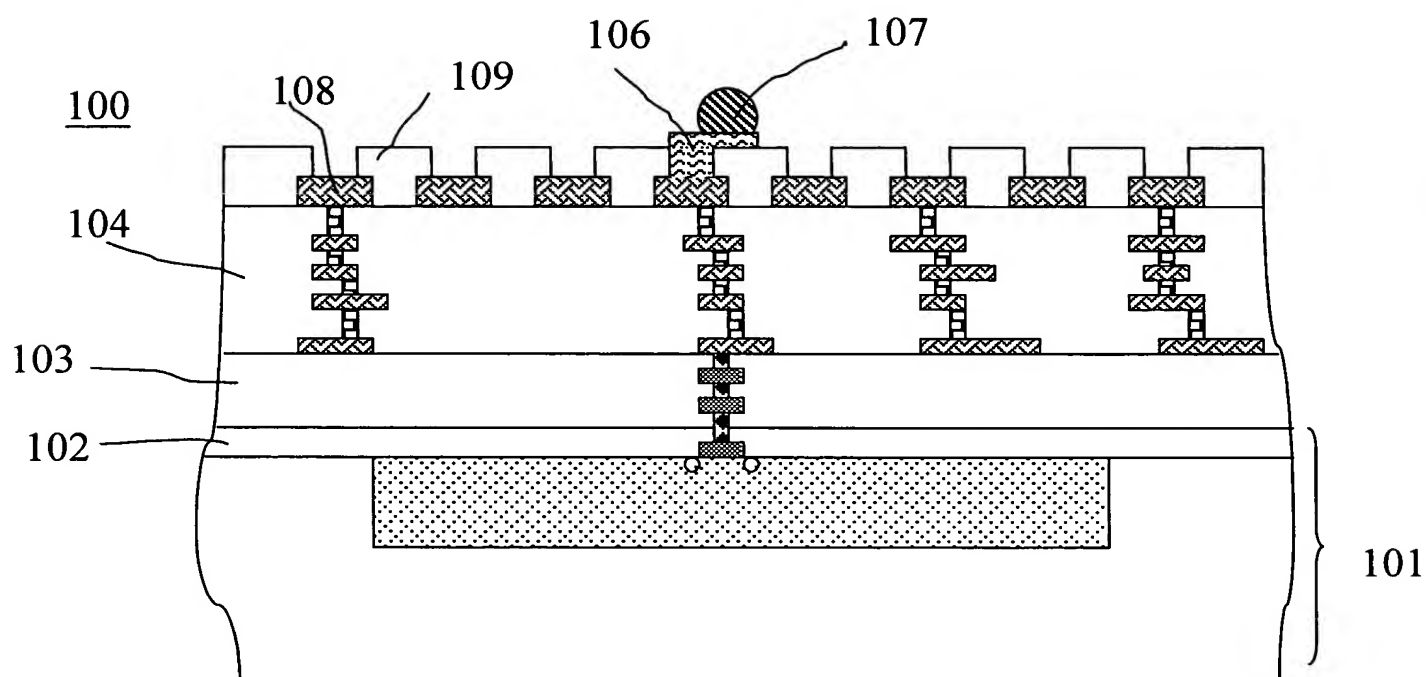


第 24/25 頁



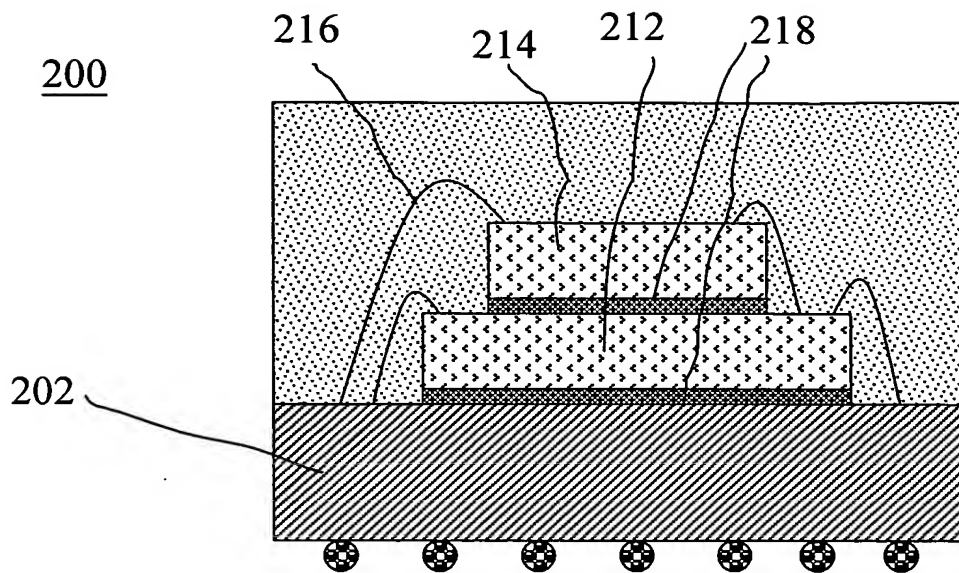
第 25/25 頁



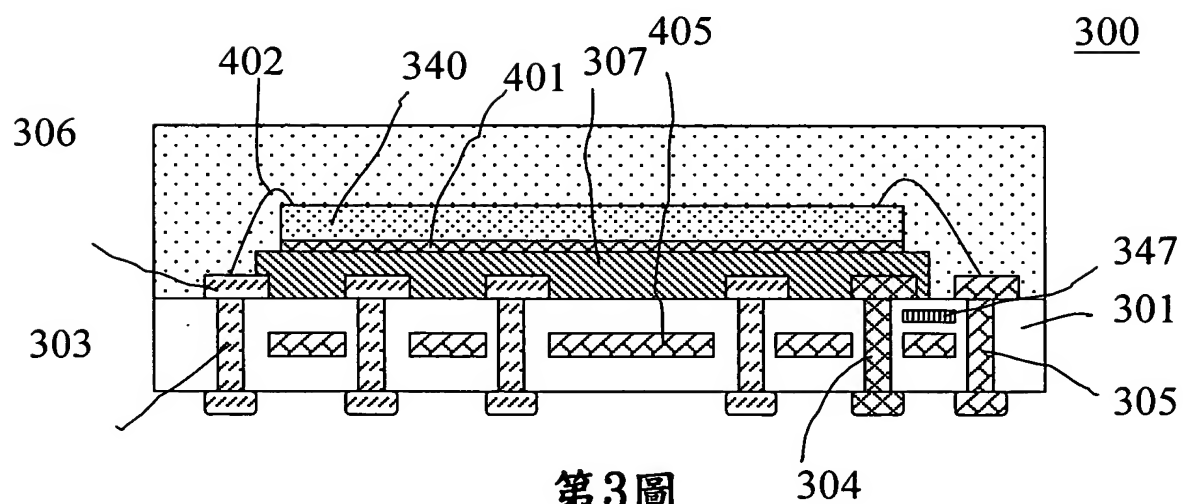


第1圖  
(習知技術)

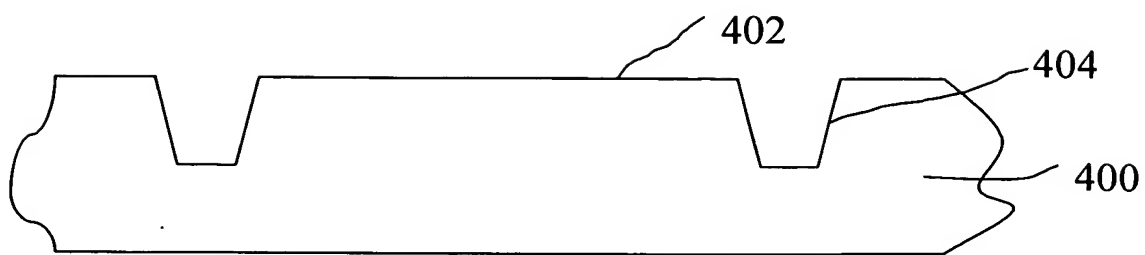




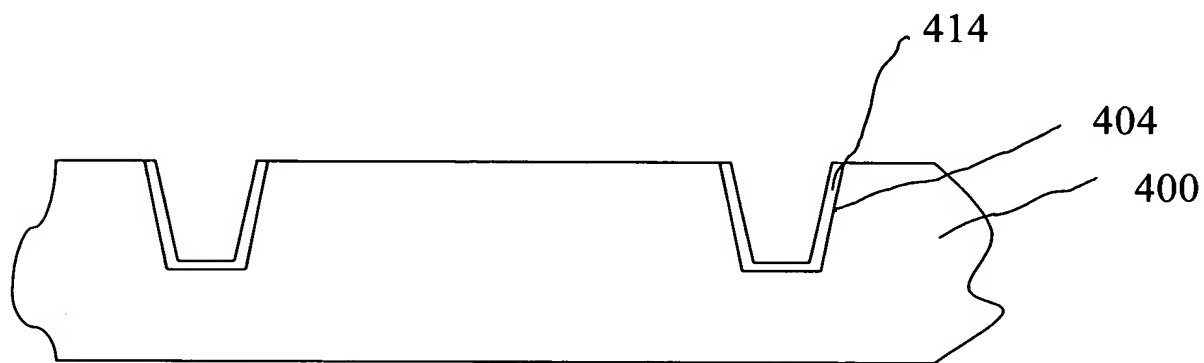
第2圖  
(習知技術)



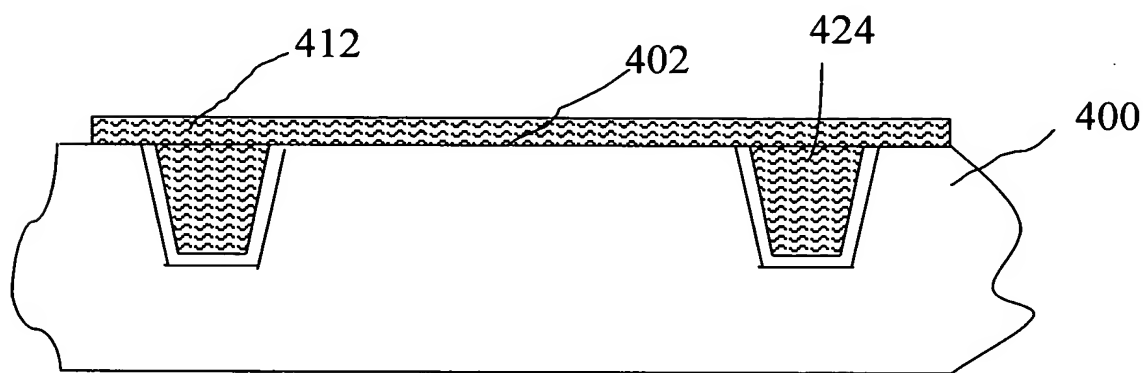
第3圖  
(習知技術)



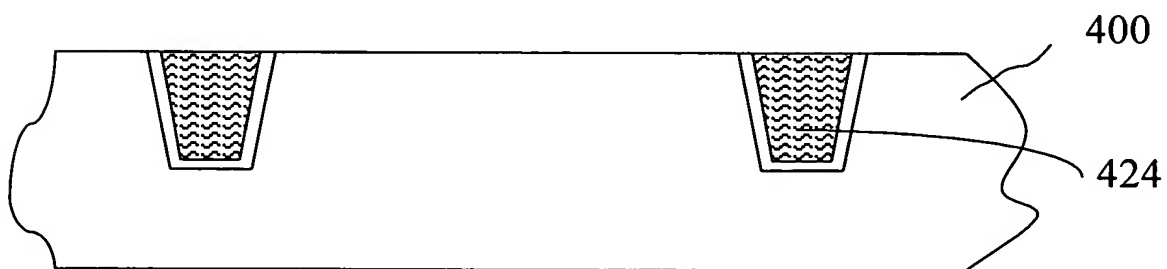
第4A圖



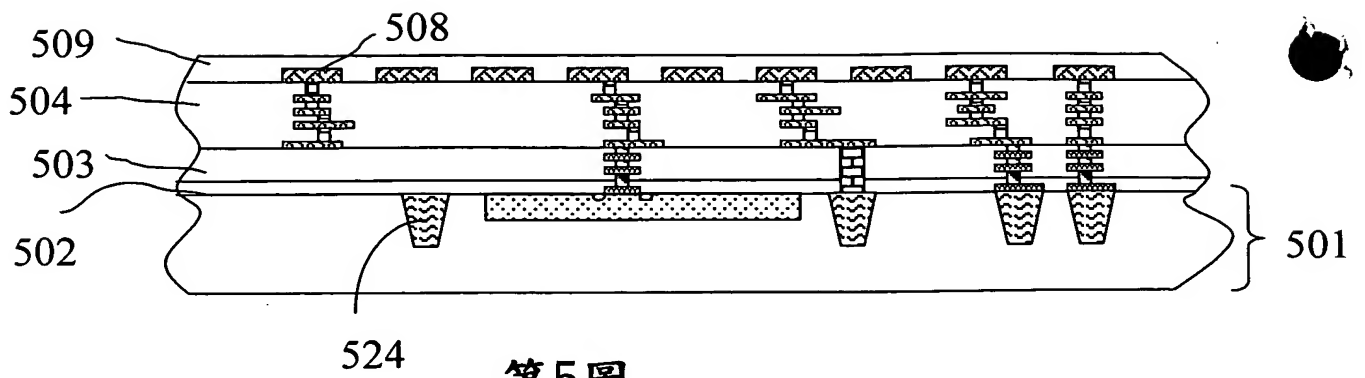
第4B圖



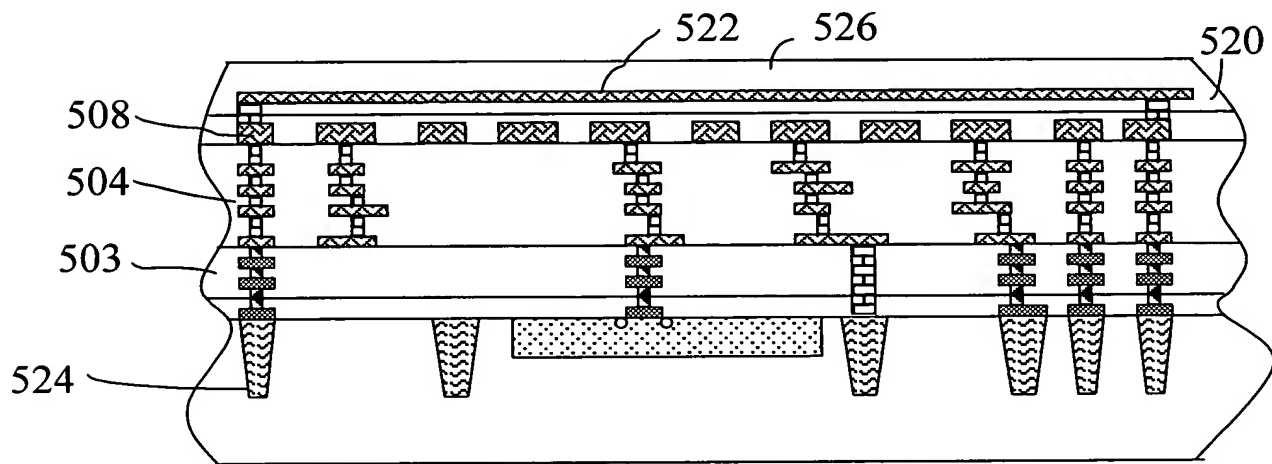
第4C圖



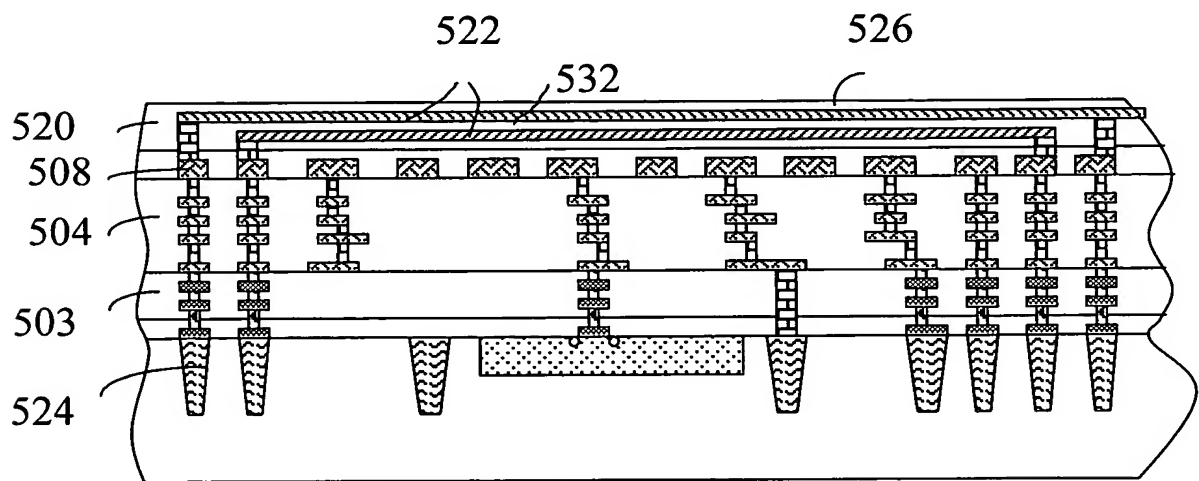
第4D圖



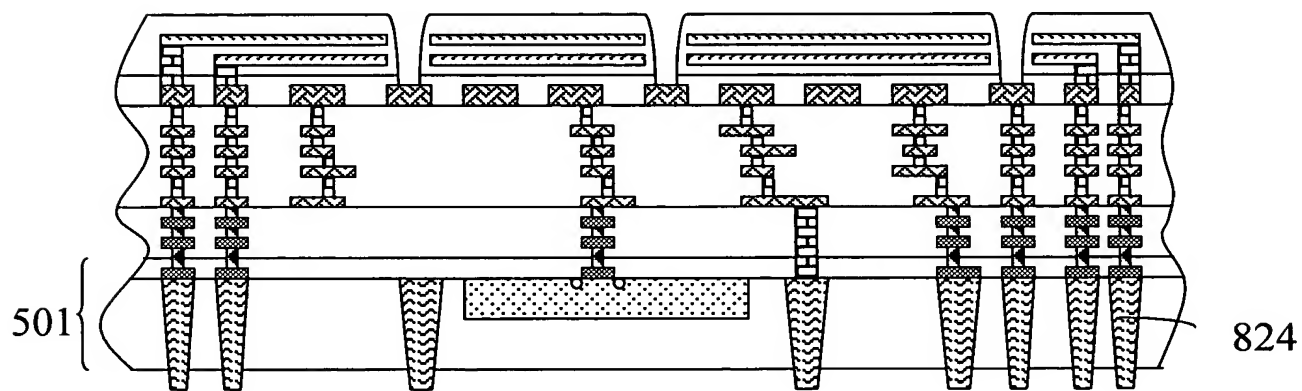
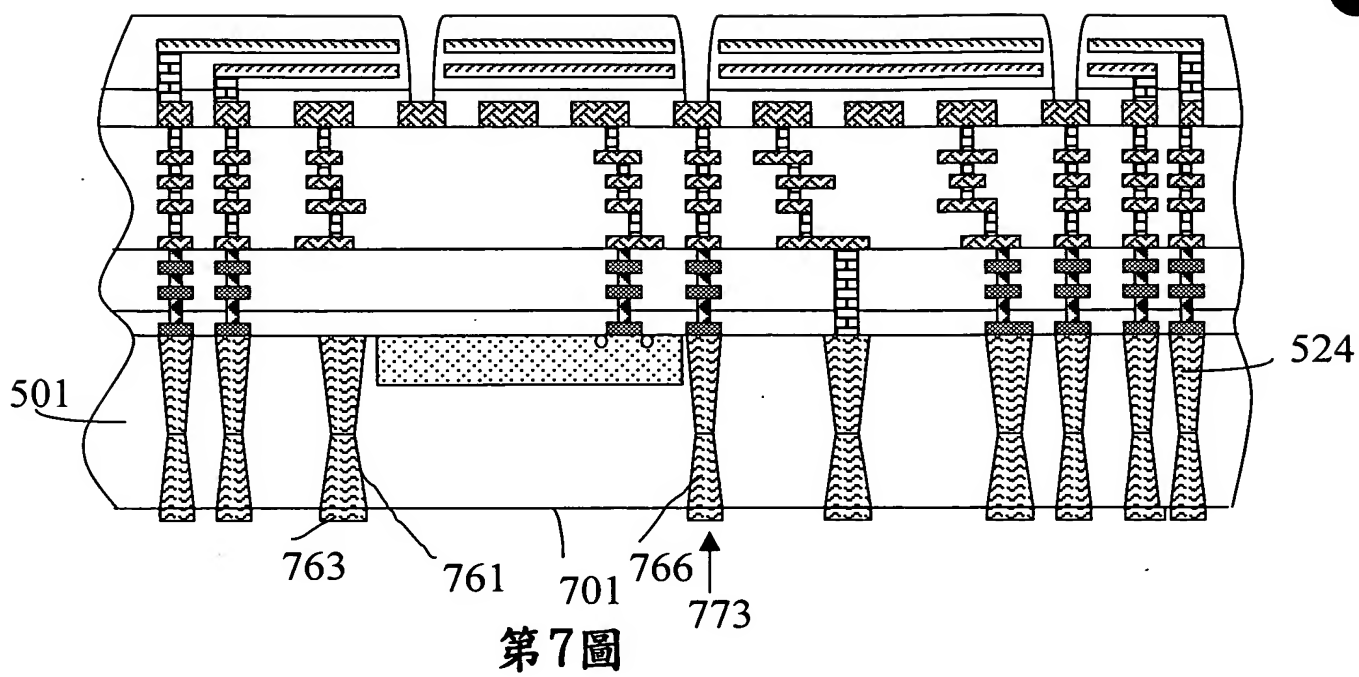
第5圖

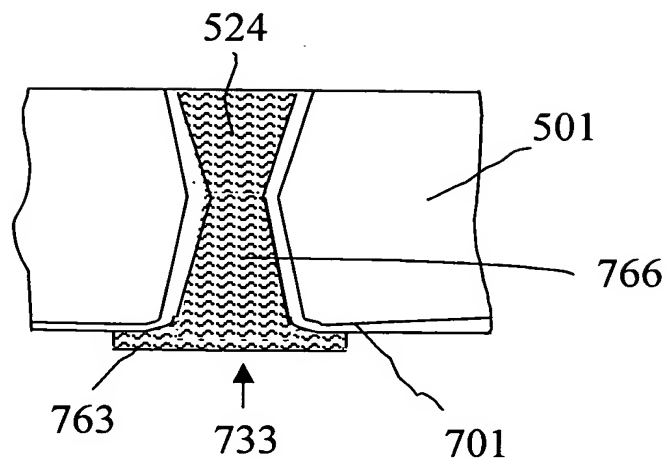


第6A圖

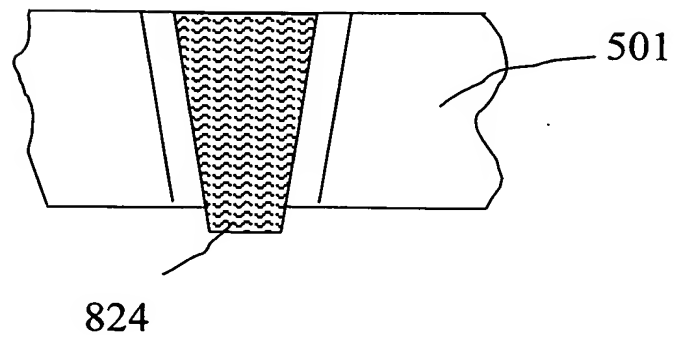


第6B圖

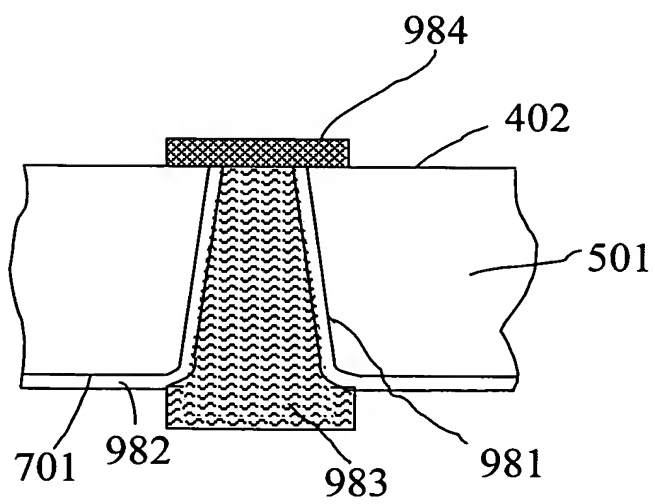




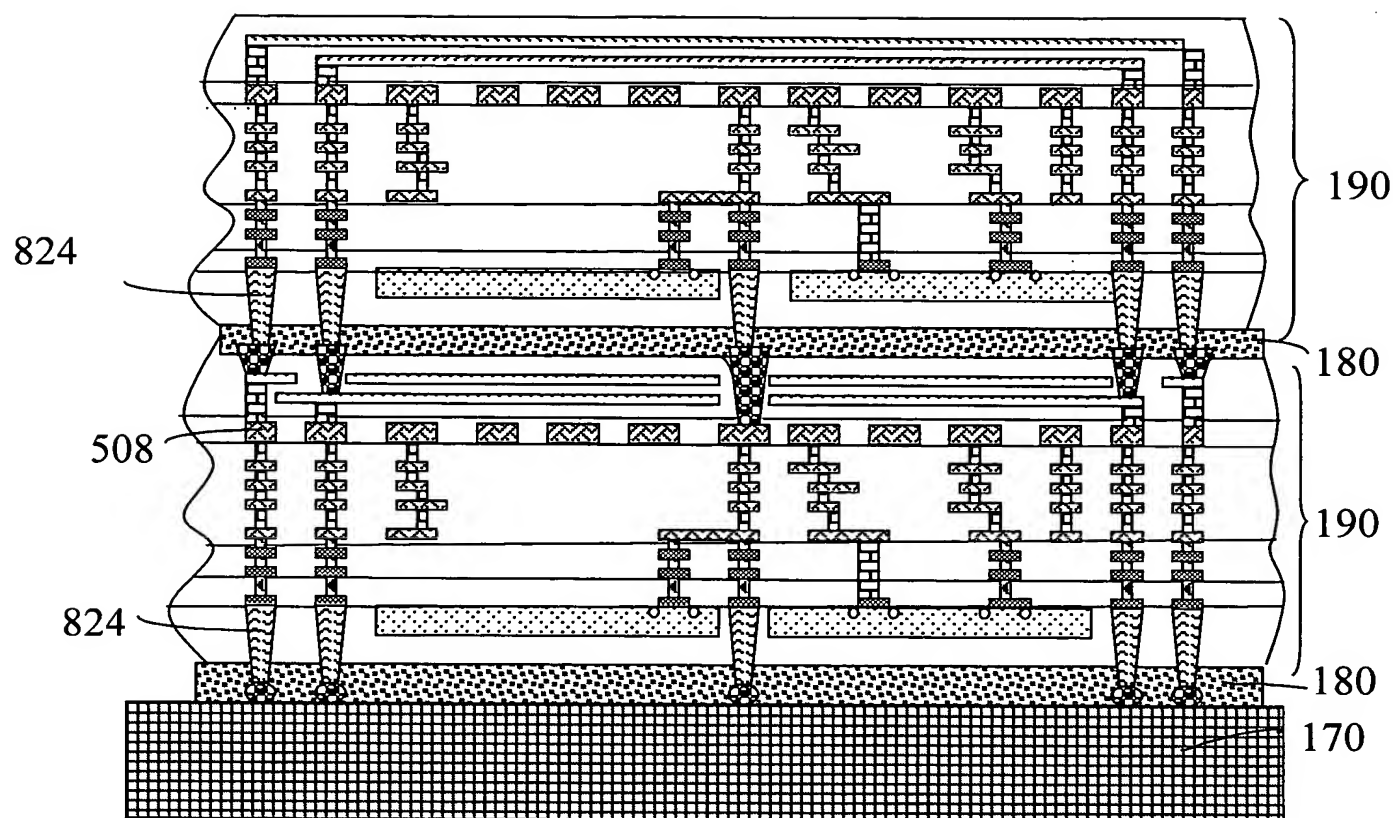
第9A圖



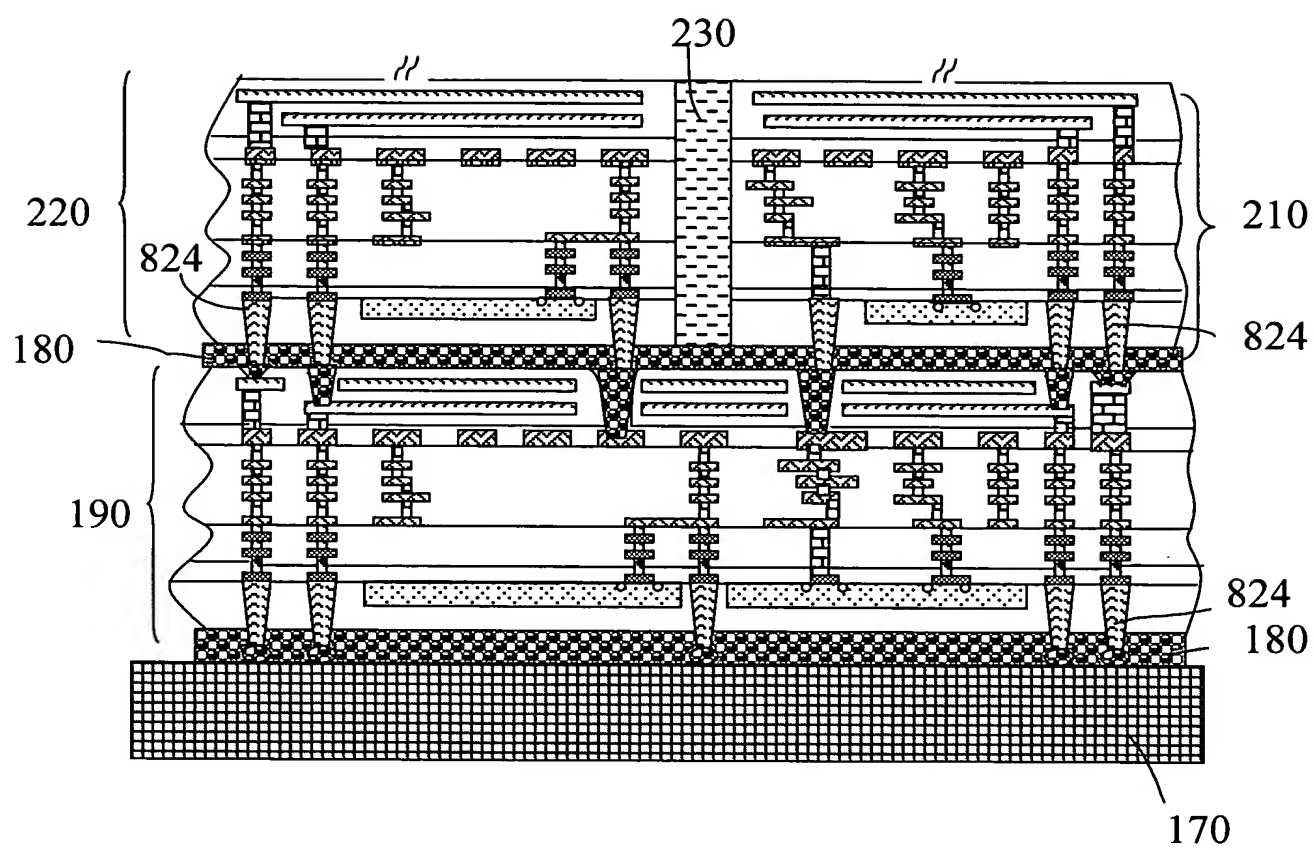
第9B圖



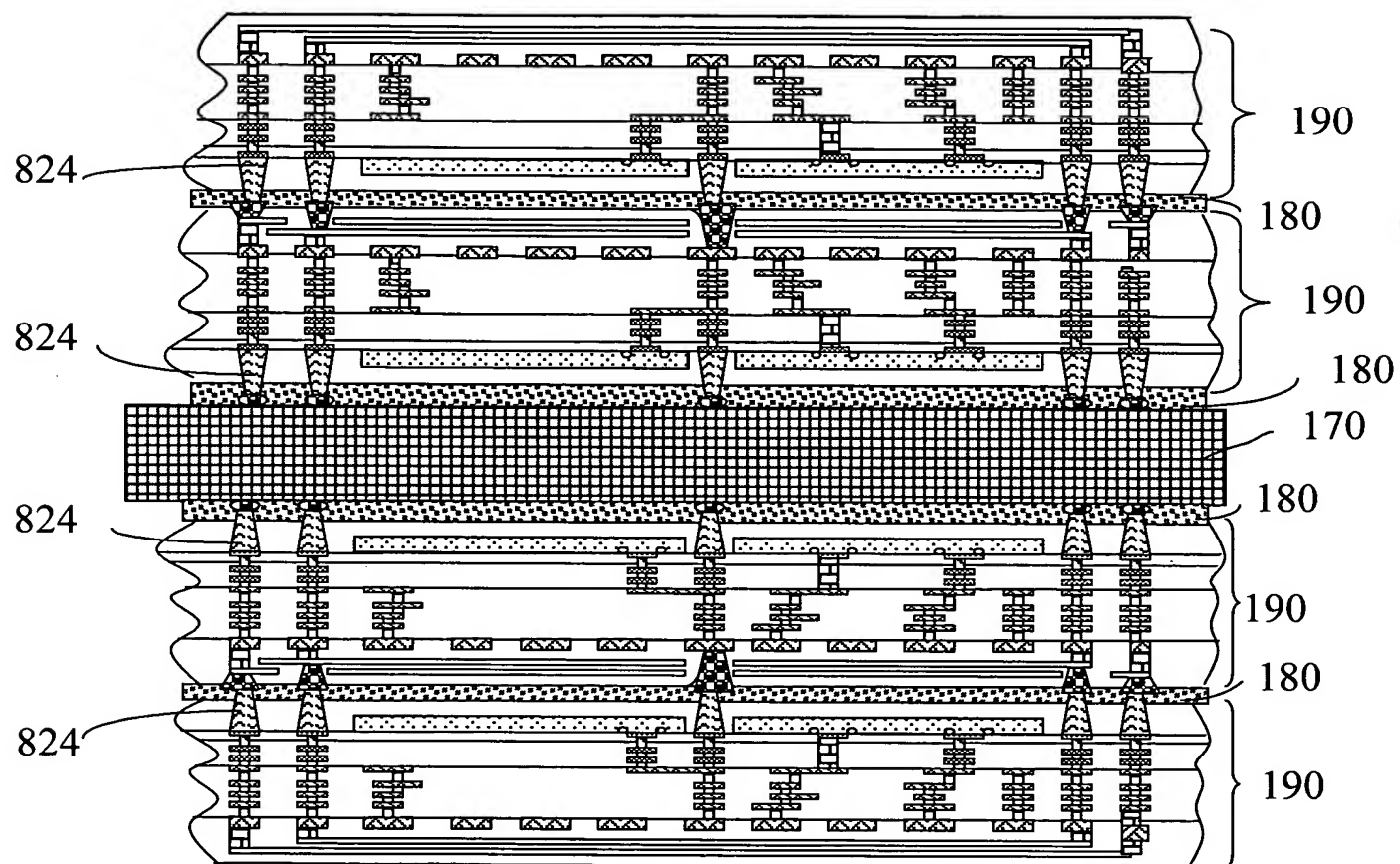
第9C圖



第10圖



第11圖



第12圖